

(Translation)

Citation 3

Japanese Patent Laid-Open Publication No. 216872/1994

Laid-Open Date: August 5, 1994

Application No. 4284/1993 dated January 13, 1993

Applicant: Anritsu Corporation

Title: DIGITAL TEST SIGNAL GENERATOR

Relevant parts:

[0078]

Next, a case where the operator has intentionally set incorrect data in the H1, H2 memory 11 as shown in FIG. 9 is discussed. At the under line A at the second address, no PNTG is set in the trigger memory 12 and the value of PTR has been changed from PTR at the first address even though NDR is [0110]. Further, at the under line B at the seventh address, PRT is not [3] that is the correct value but another value through —PJC has been set in the preceding frame in the trigger memory 12.

[0079]

By intentionally setting incorrect data in the memories 11 and 12 as described above to intentionally set an error in the digital test signal, whether the device to be measured can correctly detect the error can be tested.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216872

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H04J 3/14
H04L 12/26

(21)Application number : 05-004284

(71)Applicant : ANRITSU CORP

(22)Date of filing : 13.01.1993

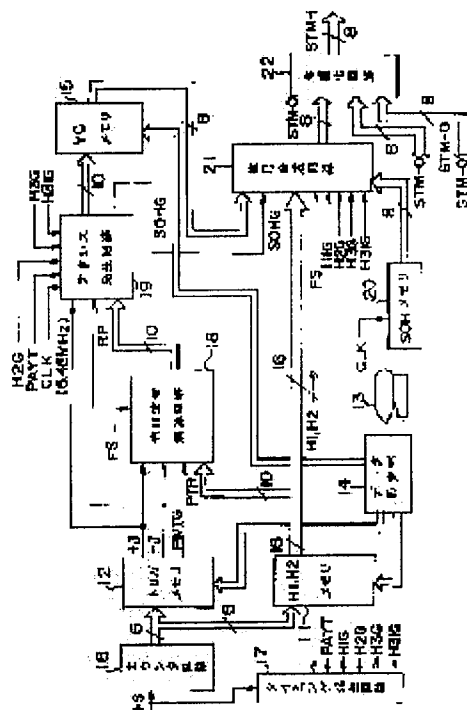
(72)Inventor : TAKAHASHI NOBORU

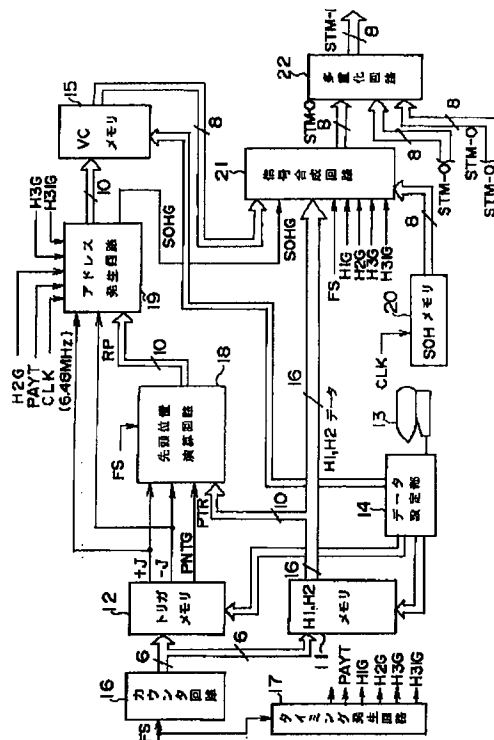
(54) DIGITAL TEST SIGNAL GENERATOR

(57)Abstract:

PURPOSE: To set and revise optionally a start position J1 of VC data set to a pay-load area of a digital test signal of an STM frame structure in the unit of frames.

CONSTITUTION: Revision information of a start position J1 of H1 data, H2 data set to a pointer area in an STM frame structure and VC data in a pay-load area is set in advance to an H1, H2 memory 11 and a trigger memory 12 in the unit of frames. Then each address is sequentially designated by a counter circuit 16 in response to a frame start signal FS input, data stored in each memory are read in terms of the hardware and a signal synthesis circuit 21 sets the data together with VC data of a VC memory 15 in the STM frame structure.





【特許請求の範囲】

【請求項1】 STMのフレーム構造を有するデジタル試験信号を発生するデジタル試験信号発生装置において、

前記フレーム構造のSOH領域に設定すべきSOHデータを記憶するSOHメモリ(20)と、前記フレーム構造のペイロード領域に設定すべきVCデータを先頭アドレスから順番に記憶するVCメモリ(15)と、前記フレーム構成のポインタ領域に設定すべき前記ペイロード領域内におけるVCデータの先頭位置及びこの先頭位置の変更有無情報を示すH1、H2データを前記フレーム単位で各アドレスに記憶するH1、H2メモリ(11)と、前記先頭位置を1ポインタ前後させる一対の修正情報と前記先頭位置の強制変更情報を前記フレーム単位で各アドレスに記憶するトリガメモリ(12)と、フレーム開始信号に同期して前記H1、H2メモリ及びトリガメモリの読出アドレスを順番に指定していくカウンタ回路(16)と、前記H1、H2メモリの前記カウンタ回路で指定された各アドレスから読出されるH1、H2データに含まれる前記先頭位置を前記トリガメモリから出力される修正情報及び強制変更情報に基づいて実際の先頭位置を算出する先頭位置演算回路(18)と、前記ペイロード領域の開始時刻から前記算出された先頭位置に対応する時刻から前記VCメモリの読出アドレスを先頭アドレスから順番に指定していくアドレス発生回路(19)と、前記VCメモリの前記アドレス発生回路で指定された各アドレスから読出されるVCデータと前記H1、H2メモリから読出されたH1、H2データと前記SOHメモリから読出されたSOHデータとを所定の順序で合成して各フレーム単位のデジタル試験信号として出力する信号合成回路(21)と、少なくとも前記トリガメモリ及び前記H1、H2メモリに試験目的に応じて予め各データを設定するデータ設定部(14)とを備えたデジタル試験信号発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は国際的な通信ネットワークに採用されるSTMのフレーム構造を有したデジタル試験信号を発生するデジタル試験信号発生装置に関する。

【0002】

【従来の技術】 CCITT（国際電信電話諮問委員会）は世界の各国相互間で自由にデータを高速で伝送するための新しい同期インタフェース規格を設定した。周知のように、この同期インタフェース規格においては1 Gb/sの高速信号を同期多重化するために、図10に示すように、1フレームをSTM-1（Synchronous Transport Model Level One）と呼ばれる156 Mb/sの270 バイト×9行のフレーム構造で表現する。このSTM-1フレームは図11で示すようなSTM-0フレーム3個分を多重化することにより生成される。

【0003】 図11に示したSTM-0フレーム構造においては、送信すべき実際のデータは、各行の4バイト目から90バイト目までのペイロード領域（収容場所）に、VC（バーチャル・コンテナ）と呼ばれる規格化された単位で設定される。具体的には、STM-0のペイロード領域においては、1行に87個のVCデータが格納され、1フレームで合計783（＝87×9）個のVCデータが格納可能である。

【0004】 さらに、9行のうちの1～3行目と5～9行目の各先頭3バイトにフレーム同期や誤り監視等の機能を有するSOH（セクション・オーバー・ヘッド）を格納するSOH領域が設定される。4行目の先頭3バイトには、ペイロード領域に設定された783個のVCデータの先頭位置J1の絶対アドレス（番地）を示すH1、H2、H3データを設定するポインタ領域が設けられている。

【0005】 このポインタ領域に設定されるH1、H2、H3データは、図12に示すように、それぞれb1～b8の8ビット構成を有している。H1データのb7ビット目からH2データの最終ビットb8までの合計10ビットで前記VCデータの先頭位置J1の絶対アドレスを示す。この10ビットをPTR（ポインタ）と称する。

【0006】 なお、ペイロード領域の絶対アドレスの0番地は図11に示すようにポインタ領域の次の位置であり、同一行の最終位置は86番地で、次の行の先頭が87番地となり、最終の782番地は次のフレームにおける3行目の最終位置となる。例えば、図11のSTM-0フレームにおいては、VCデータの開始位置J1の絶対アドレスは88番地となる。よって、この場合は、前記10ビットのPTRは88の数字を2進表示した値である。さらに、図12に示すように、PTRの奇数桁の各ビットはIの符号が付され、偶数桁の各ビットはDの符号が付される。

【0007】 ポインタ領域におけるH1データのうちのb1～b4の4ビットはNDF（ニュー・データ・フラグ）と称され、PTRで指定した先頭位置J1の変更有無情報が設定される。具体的には[0110]が変更なし（通常）を示し、[1001]が変更有り（PNTG：ポインタ・チェンジ）を示す。H1データにおける次のb5、b6の2ビット（SS）は規格の種別を示す。

【0008】 また、H3データには現在時点では使用されないダミービットが設定されている。

【0009】 このようなSTM-0フレームを多重化したSTM-1フレーム構成を用いて多数のデータを伝送する過程で、STM-0フレーム中のVCデータの開始位置J1を変更する場合には、前述したように、NDFに変更有り（PNTG）を設定し、PTRに変更先の先頭位置J1の絶対アドレスを設定する。

【0010】 また、何等かの都合で1つのフレームのみ

に規定数(783)より1つ少ないVCデータを設定したり、又は1つ多いVCデータを設定する必要が生じた場合は、図13(a)(b)に示すように、先頭位置J1を前後に1ポイント(1番地)移動させる。同時に、ポイント領域をペイロード領域へ1ポイント(H3の次のバイト)拡張したり、また、ポイント領域の1ポイント(H3)分をペイロード領域へ変更して、ペイロード領域に空白が生じたり、重複が生じる事を防止している。

【0011】先頭位置J1を+1する事を+PJ C(プラス・ポイント・ジャスティフィケーション)と称し、先頭位置J1を-1する事を-PJ C(マイナス・ポイント・ジャスティフィケーション)と称する。

【0012】したがって、上述した機能を有するSTM-1フレーム構造を有するデジタル信号を送受信したり、データの多重化処理や分離処理を実施する通信機器の性能試験を実施するためには、上述した機能を有するSTM-1フレーム構造を有するデジタル試験信号を試験対象機器又は試験対象伝送路に印加する必要がある。

【0013】このSTM-1フレーム構造を有するデジタル試験信号を発生するデジタル試験信号発生装置は図14に示すように構成されている。

【0014】例えばマイクロコンピュータからなるプロセッサ1は出力ポート2へポイント領域へ設定するH1, H2データを設定する。同時に、プロセッサ1は必要に応じて、出力ポート3へ+PJ C, -PJ C, PNTGを設定する。出力ポート2に設定されたH1, H2データのうち、先頭位置J1の絶対アドレスを示す10ビットのPTRは先頭位置演算回路5へ印加される。

【0015】先頭位置演算回路5には、出力ポート3から+PJ C, -PJ C, PNTGが印加されている。そして、先頭位置演算回路5は、+PJ C, -PJ Cが印加されていた場合は、入力した10桁のPTRを1ポイント加減算して実際の先頭位置を求める。また、先頭位置演算回路5に、PNTGが印加されていた場合は、入力されたPTRが実際の先頭位置となる。そして、フレーム開始信号入力に同期して、演算された実際の先頭位置がアドレス発生回路6へ印加される。

【0016】アドレス発生回路6は、フレーム開始信号FSによって定まるペイロード領域の開始時刻から入力された先頭位置J1を示すポイント数だけ経過した時刻からVCメモリ7に対して読出アドレスを指定開始する。このVCメモリ7内には、前記ペイロード領域に格納すべき783個のVCデータがアドレスの0番地から最終の782番地まで順番に記憶されている。VCメモリ7から順次読出されたVCデータは次の信号合成回路4へ送出される。

【0017】なお、前記アドレス発生回路6は信号合成回路4に対して、SOH領域、ポイント領域及びペイロード領域を区別するゲート信号を送出する。但し、+P

J Cが印加された場合は、ゲート信号の終了タイミングを図13(a)に示すように、ペイロード領域に1ポイント分拡張し、-PJ Cが印加された場合は、ゲート信号の終了タイミングを図13(b)に示すように、ポイント領域に1ポイント分拡張する。

【0018】信号合成回路4には、VCメモリ7からのVCデータの他に、先頭位置演算回路5からフレームに設定すべき修正後の10ビットのリアルタイム・ポイント値(RP)が入力され、さらに、出力ポート2からNDF, SSデータが印加される。さらに、信号合成回路4には、SOH領域に設定するためのSOHデータが印加される。

【0019】そして、信号合成回路4は、これらの信号を所定のタイミングで合成して、図11に示すSTM-0フォーマット構造のデジタル試験信号を出力する。

【0020】多重化回路8は、このようにして作成されたSTM-0フレーム構成のデジタル試験信号を3個分多重化して、最終的なSTM-1デジタル試験信号としてを出力する。

【0021】

【発明が解決しようとする課題】しかしながら、図14に示すデジタル試験信号発生装置においても、まだ改良すべき次のような課題があった。

【0022】すなわち、図11のSTM-0フレーム構造におけるポイント領域に格納するH1, H2データは図示するようにプロセッサ1からプログラムを用いて各出力ポート2, 3へソフト的に設定している。また、開始位置J1の変更情報もプロセッサ1から出力ポート3へソフト的に設定する。

【0023】周知のように、STMフレームは、1フレームが8KHz(125 μ s)単位である。よって、フレーム単位で、PNTG, +PJ C, -PJ C動作を行うには、出力ポート2, 3に対するデータ設定が8KHzのフレーム開始信号FSに同期して、フレーム単位で変更できる必要がある。

【0024】しかし、プロセッサ1による出力ポート2, 3に対するデータ設定では、フレーム信号に同期してPNTG, +PJ C, -PJ Cの設定変更ができないため、連続するフレーム毎に、ポイント領域のH1, H2データを変更したり、PNTG, +PJ C, -PJ Cを指定することができない。

【0025】しかし、実際のデジタル信号においては、種々の条件が発生する可能性があるため、測定対象機器に対する全ての条件に合致するデジタル試験信号を作成できない問題が生じる。その結果、このデジタル試験信号発生装置が組込まれた試験装置によって、測定対象機器に対する完全な性能試験を実施できない課題がある。

【0026】本発明はこのような事情に鑑みてなされたものであり、ポイント領域に設定する各データ及び開始位置変更情報を各フレーム単位で予めメモリに設定する

ことによって、フレーム単位で開始位置を変更したり、開始位置変更と開始位置前後移動とを組合わせて実行でき、より実際のデジタル信号に近似したデジタル試験信号を生成できるデジタル試験信号発生装置を提供することを目的とする。

【0027】

【課題を解決するための手段】上記課題を解消するために本発明のデジタル試験信号発生装置は、STMのフレーム構造のSOH領域に設定すべきSOHデータを記憶するSOHメモリと、フレーム構造のペイロード領域に設定すべきVCデータを先頭アドレスから順番に記憶するVCメモリと、フレーム構成のポインタ領域に設定すべきペイロード領域内におけるVCデータの先頭位置及びこの先頭位置の変更有無情報を示すH1、H2データをフレーム単位で各アドレスに記憶するH1、H2メモリと、先頭位置を1ポインタ前後させる一対の修正情報と先頭位置の強制変更情報をフレーム単位で各アドレスに記憶するトリガメモリと、フレーム開始信号に同期してH1、H2メモリ及びトリガメモリの読出アドレスを順番に指定していくカウンタ回路と、H1、H2メモリのカウンタ回路で指定された各アドレスから読出されるH1、H2データに含まれる先頭位置をトリガメモリから出力される修正情報及び強制変更情報に基づいて実際の先頭位置を算出する先頭位置演算回路と、ペイロード領域の開始時刻から算出された先頭位置に対応する時刻からVCメモリの読出アドレスを先頭アドレスから順番に指定していくアドレス発生回路と、VCメモリのアドレス発生回路で指定された各アドレスから読出されるVCデータとH1、H2メモリから読出されたH1、H2データとSOHメモリから読出されたSOHデータとを所定の順序で合成して各フレーム単位のデジタル試験信号として出力する信号合成回路と、少なくともトリガメモリ及びH1、H2メモリに試験目的に応じて予め各データを設定するデータ設定部とを備えている。

【0028】

【作用】このように構成されたデジタル試験信号発生装置によれば、H1、H2メモリ内の各アドレスには、予めデータ設定部によって、フレーム構成のポインタ領域に設定すべきペイロード領域内におけるVCデータの先頭位置及びこの先頭位置の変更有無情報を示すH1、H2データがフレーム単位で記憶される。同様に、トリガメモリ内の各アドレスには、予めデータ設定部によって、先頭位置を1ポインタ前後させる一対の修正情報と先頭位置の強制変更情報をフレーム単位で記憶される。

【0029】そして、各メモリにフレーム単位に各データが設定された状態において、フレーム開始信号が入力する毎に、カウンタ回路が各メモリの読出アドレスを順番に指定していく。その結果、H1、H2メモリ及びトリガメモリからフレーム開始される毎に、新たなH1データ、H2データ及び+PJC、-PJC、PNTGの

トリガ情報が出力される。

【0030】先頭位置演算部は、H1、H2メモリに含まれる先頭位置情報とトリガメモリから出力された情報に基づいて実際の先頭位置を演算する。アドレス発生回路は先頭位置演算部から出力されたリアルタイム・ポインタ値(RP)の位置よりVCメモリの読出アドレスの指定を開始する。VCメモリから読出されたVCデータは信号合成回路へ入力される。信号合成回路は、このVCデータとH1、H2メモリから読出されたH1、H2データとSOHメモリから読出されたSOHデータとを所定の順序で合成して各フレーム単位のデジタル試験信号として出力する。

【0031】なお、STM-Nフレーム構成のデジタル試験信号を作成する場合は、上記で示したようにして作成されたSTM-0フレーム構成を有するデジタル試験信号を数個多重化すればよい。

【0032】したがって、予めトリガメモリ及びH1、H2メモリに、連続した複数のフレーム毎に、それぞれ各フレームにおいて設定すべきH1データ、H2データ及び対応する+PJC、-PJC、PNTGのトリガ情報を設定しておけば、自動的に各フレーム単位で内容が異なるデジタル試験信号が連続して得られる。

【0033】

【実施例】以下本発明の一実施例を図面用いて説明する。

【0034】図1は実施例のデジタル試験信号発生装置の概略構成を示すブロック図である。H1、H2メモリ11は、図3に示すように、0番地から1、2、3…の各番地(アドレス)に同一フレームのポインタ領域へ設定するそれぞれ8ビット構成のH1データ及びH2データが記憶される。

【0035】同様に、トリガメモリ12には、図3に示すように、H1、H2メモリ11と同一アドレスに各フレームでPTRで指定するVCデータの先頭位置J1の位置の変更を示すPNTG、及び1ポインタ前後に移動させる一対の修正情報としての+PJC、-PJCがそれぞれ[1]又は[0]のビットで記憶されている。なお、図3においては、9フレーム分のデータが記憶されている。

【0036】H1、H2メモリ11及びトリガメモリ12の各データは操作者がマンマシンインタフェース装置13にて入力すると、例えばコンピュータ等で構成されたデータ設定部14にて各アドレス順に設定される。

【0037】図2(a)はマンマシンインタフェース装置13の表示画面13aの表示内容を示す図である。Noで示される各フレームに対して、PNTG、+PJC、-PJC、PTR等の型(Type)と、10進表示された開始位置J1の絶対アドレスを示すPTRと、CCITTの許容度を確認するためのマスク情報Maskとが表示される。

【0038】型 (Type) に、PNTG、+PJ C、-PJ Cが設定されていた場合は、データ設定部14は、これらをトリガメモリ12の各アドレスに[1]のビットに変換して設定する。なお、トリガメモリ12の同一アドレスにはPNTG、+PJ C、-PJ Cを重複して設定することはできない。型 (Type) に、PTRが設定されていた場合は、トリガメモリ12には何も設定しない。

【0039】次に、H1、H2メモリ11に、PNTG、+PJ C、-PJ Cが図3に示すように設定された場合において発生するデジタル試験信号について説明する。

【0040】例えば、0番地にてPNTGが設定された場合は、同一フレームにおけるNDFは開始位置J1変更 (ポインタ値変更) を示す[1001]である。そして、10桁のPTRは変更先を示す例えば[3]を示す[000000011]となる。また、3番地に+PJ Cが設定された場合は、一つ前の2番地のフレームにおける10桁のPTRにおける奇数桁Iのビットを反転した値[1010101001]をPTRに設定する。そして、その次の4番地において、2番地のフレームのPTRに1を加算した[000000100]に設定する。

【0041】さらに、6番地に-PJ Cが設定された場合は、一つ前の5番地のフレームにおける10桁のPTRにおける偶数桁Dのビットを反転した値[0101010001]をPTRに設定する。そして、その次の7番地において、5番地のフレームのPTRに1減算した[000000011]を設定する。このように、PNTG、+PJ C、-PJ Cが設定されていた場合は次のフレームでポインタ値が変更される。

【0042】前記マスク情報Mask内には、H1データのb1~b4に設定する4桁のNDFと、10桁のPTRのマスク情報が設定可能である。

【0043】データ設定部14は図2に示す操作者が理解しやすいフォーマットで設定された各データを翻訳して、前述した図3に示すフォーマットで各メモリ11、12の各番地 (アドレス) に書込む。

【0044】また、データ設定部14は、VCメモリ15の0番地から782番地の各領域に図11に示すSTM-0フレーム構造のペイロード領域に設定すべき783個のVCデータを書込む。具体的には、図2(b)に示すように、0番地にVCの開始位置J1のデータを書込み、2番地にVCの開始位置J1の次のデータを書込み、3番地にVCの開始位置J1の次の次のデータを書込む。そして、最終の782番地にはVCの開始位置J1の一つ手前のデータを書込む。

【0045】カウンタ回路16は、外部から入力されたSTM-0フレームの開始を示す周波数8kHz (周期125μs) のフレーム開始信号FSを計数し、計数値を讀出アドレスとしてトリガメモリ12及びH1、H2メモ

リ11に印加する。

【0046】また、タイミング発生回路17はフレーム開始信号FSが入力すると、このフレーム開始信号FS入力時刻からの経過時間を計時して、ペイロード領域、SOH領域、ポインタ領域に各種データを所定タイミングで設定するためのゲート信号PAYT、H1G、H2G、H3G、H31Gを出力する。

【0047】具体的には、図4及び図5のタイムチャートに示すように、ゲート信号PAYTは図11のフレーム構成のうちSOH領域およびポインタ領域を指定するゲート信号であり、ゲート信号H1G、H2G、H3Gは、ポインタ領域に設定するH1データ、H2データ、H3データの各設定領域を示すゲート信号である。また、ゲート信号H31Gは、図13(a)に示すように、+PJ Cが指定された場合におけるポインタ領域を1バイト分拡張する場合における拡張データH31の設定領域を示すゲート信号である。

【0048】H1、H2メモリ11はカウンタ回路16にて指定されたアドレス (番地) に記憶されているH1データ、H2データを信号合成回路21へ送出する。H1、H2メモリ11から出力された16ビットデータのうち、PTRを示す10桁のデータが先頭位置演算回路18へ入力される。同様に、トリガメモリ12はカウンタ回路16にて指定されたアドレスに記憶されているPNTG、+PJ C (+J)、-PJ C (-J) の各ビットデータを先頭位置演算回路18及びアドレス発生回路19へ送出する。

【0049】先頭位置演算回路18は、PNTGが入力された場合に限り、入力したPTRを次のフレーム周期でリアルタイム・ポインタ値 (RP) としてアドレス発生回路19へ送出する。

【0050】また、先頭位置演算回路18は、トリガメモリ12から+PJ C (+J) が入力した場合、現在のリアルタイム・ポインタ値 (RP) の値を+1する。さらに、この+1したリアルタイム・ポインタ値 (RP) を次のフレーム開始信号FSに同期してアドレス発生回路19へ送出する。

【0051】さらに、先頭位置演算回路18は、トリガメモリ12から-PJ C (-J) が入力した場合、現在のリアルタイム・ポインタ値 (RP) の値を-1する。さらに、この-1したリアルタイム・ポインタ値 (RP) を次のフレーム開始信号FSに同期してアドレス発生回路19へ送出する。

【0052】アドレス発生回路19は、タイミング発生回路17から送出されてくるゲート信号H3の終了時刻で示されるペイロード領域の開始時刻から、さらに入力されたリアルタイム・ポインタ値 (RP) の数だけ経過した時刻からVCメモリ7に対して読出アドレスを指定開始する。このアドレスを指定する周期は外部から供給される1個のVCデータを送出するに要するクロック周

波数6.48MHz (STM-0フレーム構造におけるバイトクロック周波数)に設定されている。

【0053】さらに、アドレス発生回路19は、タイミング発生回路17から入力されたゲート信号PAYTに対して+PJC、-PJCのトリガ信号により一定の処理を行い、VCデータの書込禁止領域を指定するゲート信号SOHGを作成して、その書込禁止期間アドレスの計数動作を停止する。

【0054】また、アドレス発生回路19は、VCデータの書込禁止領域を示すゲート信号SOHGを信号合成回路21へ送出する。なお、上述したゲート信号PAYTの一定処理とは、+PJCが印加された場合は、ゲート信号SOHGにおける4行目(ポインタ領域行)の終了タイミングを図6に示すように、ペイロード領域に1ポイント分拡張する。また、-PJCが印加された場合は、同一行の終了タイミングを図7に示すように、ポインタ領域に1ポイント分短縮することである。

【0055】アドレス発生回路19から読出アドレスが指定されたVCメモリ15は、指定された0番地から782番地に記憶された各VCデータを順次、次の信号合成回路21へ送出する。

【0056】また、SOHメモリ20内には、図11に示すSOH領域内に設定すべき各SOHデータが格納されている。

【0057】信号合成回路21には、各ゲート信号SOHG、H1G、H2G、H3G、H31Gが印加されている。そして、信号合成回路21には、ゲート信号SOHGの継続期間に同期してSOHメモリ20に記憶された各SOHデータが順次入力される。また、この信号合成回路21にはフレーム開始信号FSに同期してH1、H2メモリ11から16ビットのH1、H2データが入力される。

【0058】信号合成回路21は、入力されたVCデータ、SOHデータ及びH1、H2データを、前記各ゲート信号を用いて、図12に示すフレーム構成のペイロード領域、SOH領域、及びポインタ領域に設定する。そして、各データが設定された信号を8ビットのデジタル試験信号(STM-0)として出力する。

【0059】多重化回路22は、このようにして作成されたSTM-0フレーム構成のデジタル試験信号を3個分多重化して、最終的なSTM-1フレーム構成のデジタル試験信号として出力する。

【0060】このように構成されたデジタル試験信号発生装置におけるSTM-0フレーム構成のデジタル試験信号を作成するまでの動作を図3～図9を用いて説明する。

【0061】図4及び図5は、VCデータの開始位置J1がペイロード領域の[0]の絶対アドレスに設定されていたものを[3]に変更する場合における各部の動作を示すタイムチャートである。この場合、トリガメモリ

12及びH1、H2メモリ11の各アドレスには、図3に示すように各データが設定されているものとする。

【0062】周期 T_F を有するフレーム開始信号FSが入力されると、カウンタ回路16がカウント開始し、カウント値[0]を出力する。その結果、トリガメモリ12のPNTGが出力され、強制変更を示す[1001]のNDFと変更先位置[3]を示す[0000000011]のPTRからなるH1データ及びH2データが出力される。この時点においては、先頭位置演算回路18は次のフレームで出力するためのリアルタイム・ポインタ値(RP)を算出しているため、このフレーム周期においては、PTRは[0]である。したがって、アドレス発生回路19は、ゲート信号SOHGにおけるポインタ領域の終了時刻からアドレスを出力開始するので、信号合成回路21から出力されるデジタル試験信号においては、ポインタ領域の次の8ビット領域(0番地)がVCデータの開始位置J1となっている。

【0063】そして、次のフレーム開始信号FSが入力されると、カウンタ回路16のカウント値が[1(01)]となるので、トリガメモリ12から何も出力されなく、H1、H2メモリ11から、通常の[0110]のNDFと3を示す[0000000011]のPTRからなるH1データ及びH2データが出力される。このフレーム周期は、トリガメモリ12からのPNTGが無いので、PTRは先頭位置演算回路18へ入力されない。そして、図5に示すように、先頭位置演算回路18は[3]のリアルタイム・ポインタ値(RP)をアドレス発生回路19へ送出する。

【0064】その結果、アドレス発生回路19は、絶対アドレスの[3]番地に相当する時刻からアドレスの出力を開始する。よって、信号合成回路21から出力される試験信号においては、ポインタ領域の終了位置から3領域(3番地)目がVCデータの開始位置J1となる。

【0065】さらに、3番目のフレーム開始信号FSが入力されると、カウンタ回路16のカウント値が[2(10)]となるので、トリガメモリ12及びH1、H2メモリ11から前回のフレームと同一データが出力される。このフレーム周期でも、トリガメモリ12からのPNTGが無いので、PTRは先頭位置演算回路18へ入力されない。よって、このフレーム周期では、先頭位置演算回路18は[3]のリアルタイム・ポインタ値(RP)をアドレス発生回路19へ送出する。したがって、このフレーム周期に信号合成回路21から出力されるデジタル試験信号は、前のフレーム周期で出力されるデジタル試験信号と同一である。

【0066】次に、図3と図6を用いてVCデータの開始位置J1がペイロード領域の[3]の絶対アドレスに設定されていたものを[4]の絶対アドレスへ+PJCする場合における各部の動作を示す。この場合、トリガメモリ12の3番地に+PJCが設定されている。

【0067】フレーム周期が開始されると、各メモリ11、12から3番地の+PJC及び一つ前のフレーム周期のPTRの奇数桁Iビットが反転されたPTRを含むH1、H2データが読出される。そして、次のフレーム周期において、加算された[4]のPRTがアドレス発生回路19へ送出される。その結果、このフレーム周期において、ポインタ領域の終了位置から4領域(4番地)目がVCデータの開始位置J1となる。なお、この場合、ゲート信号SOHGが1バイト(8ビット)分ペイロード領域へ拡張されるので、ペイロード領域中に空き領域が発生することはない。なお、このフレーム周期においては、ポインタ領域のPTRは奇数桁Iビットが反転されたデータが設定されることになる。

【0068】さらに、次のフレーム周期においては、PTRが正しく[4]を示す値となる。そして、ゲート信号SOHGも元の正しいゲート長さに戻る。すなわち、+PJCが設定された場合は、2フレーム周期経過した時点で、出力されるデジタル試験信号は目標とするデジタル試験信号に変更される。

【0069】今度は逆に、図3と図7を用いてVCデータの開始位置J1がペイロード領域の[4]の絶対アドレスに設定されていたものを[3]の絶対アドレスへ-PJCする場合における各部の動作を示す。この場合、トリガメモリ12の6番地に-PJCが設定されている。

【0070】フレーム周期が開始されると、各メモリ11、12から6番地の+PJC及び一つ前のフレーム周期のPTRの偶数桁Dビットが反転されたPTRを含むH1、H2データが読出される。そして、次のフレーム周期において、減算された[3]のリアルタイム・ポインタ値(RP)がアドレス発生回路19へ送出される。その結果、このフレーム周期において、ポインタ領域の終了位置から3領域(3番地)目がVCデータの開始位置J1となる。なお、この場合、ゲート信号SOHGが1バイト(8ビット)分ポインタ領域へ短縮されるので、VCデータが重複することはない。なお、このフレーム周期においては、ポインタ領域のPTRは偶数桁Dビットが反転されたデータが設定されることになる。

【0071】さらに、次のフレーム周期においては、PTRが正しく[3]を示す値となる。そして、ゲート信号SOHGも元の正しいゲート長さに戻る。すなわち、-PJCが設定された場合は、2フレーム経過した時点で、出力されるデジタル試験信号は目標とするデジタル試験信号に変更される。

【0072】次に、図8を用いてトリガメモリ12にPNTGと+PJCを連続設定した場合、及びPNTGと-PJCを連続設定した場合におけるH1、H2メモリ11のH1データ及びH2データの設定内容を説明する。

【0073】0番地にPNTGが設定され、1番地に+

PJCを設定した場合においては、0番地のH1データ、H2データは図3に示す正常動作時と同様に[1001]のNDF及び[3]を示すPTRが設定される。そして、1番地のH1データ、H2データは、[0110]のNDFと、[3]を示すPTRの奇数桁Iを反転したPTRを設定する。そして、2番地のH1データ、H2データに、[0110]のNDFと、[4]を示すPTRを設定すればよい。

【0074】また、4番地にPNTGが設定され、5番地に-PJCを設定した場合においては、4番地のH1データ、H2データは図3に示す正常動作時と同様に[1001]のNDF及び[0]を示すPTRが設定される。そして、5番地のH1データ、H2データは、[0110]のNDFと、[0]を示すPTRの偶数桁Dを反転したPTRを設定する。そして、2番地のH1データ、H2データに、[0110]のNDFと、[4]を示すPTRを設定すればよい。

【0075】したがって、PNTGと+PJCとの連続組合せ、及びPNTGと-PJCとの連続組合せが可能となる。

【0076】このように、予めH1、H2メモリ11及びトリガメモリ12に各フレーム単位で、ポインタ領域に設定するH1、H2データ及びペイロード領域内のVCデータの開始位置J1の強制変更情報、及び設定領域を+1ポインタ移動したり、-1ポインタ移動させる情報(+PJC、-PJC)を設定しておく。

【0077】したがって、たとえSTM-Nのフレーム構造を有した高速のデジタル信号であっても、各フレーム単位でVCデータの開始位置J1変更にかかわる上述した種々の設定が可能となる。よって、より実際のデジタル信号に近似したデジタル試験信号でもって試験対象機器及び試験対象伝送路に対する試験を実施できる。

【0078】次に、図9に示すように、操作者がH1、H2メモリ11に故意に間違ったデータを設定した場合を考える。2番地の下線Aにおいては、トリガメモリ12にPNTGが設定されていなく、かつNDFが[0110]であるにも拘らず、PTRが1番地のPTRに対して値が変更になっている。また、7番地の下線Bにおいては、トリガメモリ12の前のフレームにおいて、-PJCを設定したのに、PRTが正しい値である[3]にならずに他の値になっている。

【0079】このように、故意に誤ったデータを各メモリ11、12に設定することによって、デジタル試験信号に故意に誤りを設定して、測定対象機器が正確にその誤りを検出できるが否かを試験できる。

【0080】なお、図2(a)における表示画面13aにおいて、+PJC、-PJCが設定された時点において、10桁のPTRのうち所定桁数をマスクしたデジタル試験信号においても、測定対象機器が正常に動作するかの確認試験も可能である。

【0081】このように、図2(a)のマスク操作で示す故意にCCITT規格に入る誤りを含んだデジタル試験信号と、図9に示すCCITT規格を大きく外れた誤りを含んだデジタル試験信号とを同一測定対象に印加することによって、測定対象機器の信号検出能力及び誤り検出能力を測定できる。

【0082】なお、本発明は上述した実施例に限定されるものではない。実施例装置においては、最終的に得られるデジタル試験信号を、STM-0フレーム構成のデジタル試験信号を3重化したSTM-1フレーム構成のデジタル試験信号までとしたが、例えば、このSTM-1フレーム構成より伝送速度が高いSTM-4、STM-16等の任意のフレーム構成STM-Nを有するデジタル試験信号であってもよい。

【0083】

【発明の効果】以上説明したように本発明のデジタル試験信号発生装置においては、STMフレーム構成におけるポインタ領域に設定するH1データ、H2データ及びペイロード領域内におけるVCデータの開始位置J1の変更情報を各フレーム単位で予めH1、H2メモリ及びトリガメモリに設定している。

【0084】したがって、たとえコンピュータのソフト的手法においては、追従できない程度の高い伝送速度を有したデジタル試験信号であったとしても、簡単にフレーム単位でVCデータの開始位置を変更したり、開始位置変更と開始位置前後移動とを組合わせて実行でき、より実際のデジタル信号に近似したデジタル試験信号を生成できる。

【図面の簡単な説明】

【図1】 本発明の一実施例に係わるデジタル試験信号発生装置の概略構成を示すブロック図。

【図2】 同実施例装置の表示画面及びVCメモリの記

憶内容を示す図。

【図3】 同実施例装置の各メモリの設定内容と実際のフレーム状態を示す図。

【図4】 同実施例装置の動作を示すタイムチャート。

【図5】 同じく同実施例装置の動作を示すタイムチャート。

【図6】 同じく同実施例装置の動作を示すタイムチャート。

【図7】 同じく同実施例装置の動作を示すタイムチャート。

【図8】 同実施例装置の各メモリの設定内容と実際のフレーム状態を示す図。

【図9】 同じく同実施例装置の各メモリの設定内容と実際のフレーム状態を示す図。

【図10】 一般的なSTM-1フレーム構造を示す図。

【図11】 一般的なSTM-0フレーム構造を示す図。

【図12】 同STM-0フレーム構成におけるポインタ領域のビット構造を示す図。

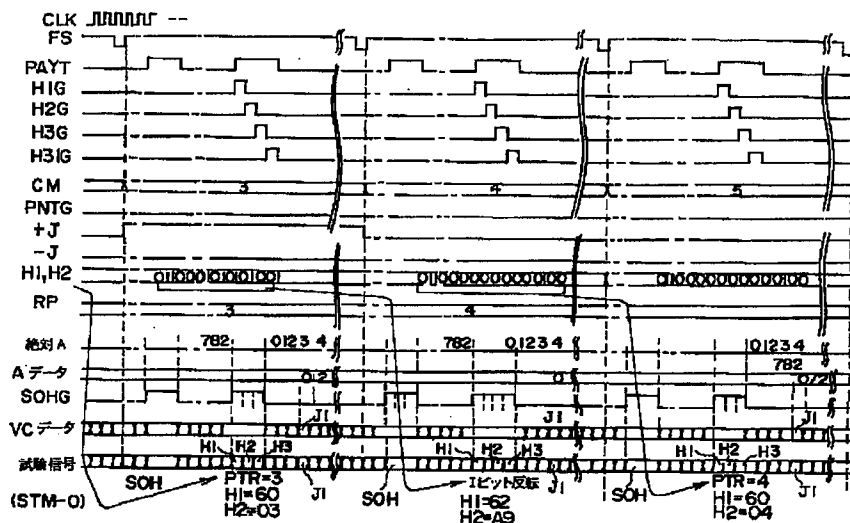
【図13】 同STM-0フレーム構成におけるポインタ領域の拡張又は短縮を示す図。

【図14】 従来のデジタル試験信号発生装置の概略構成を示すブロック図。

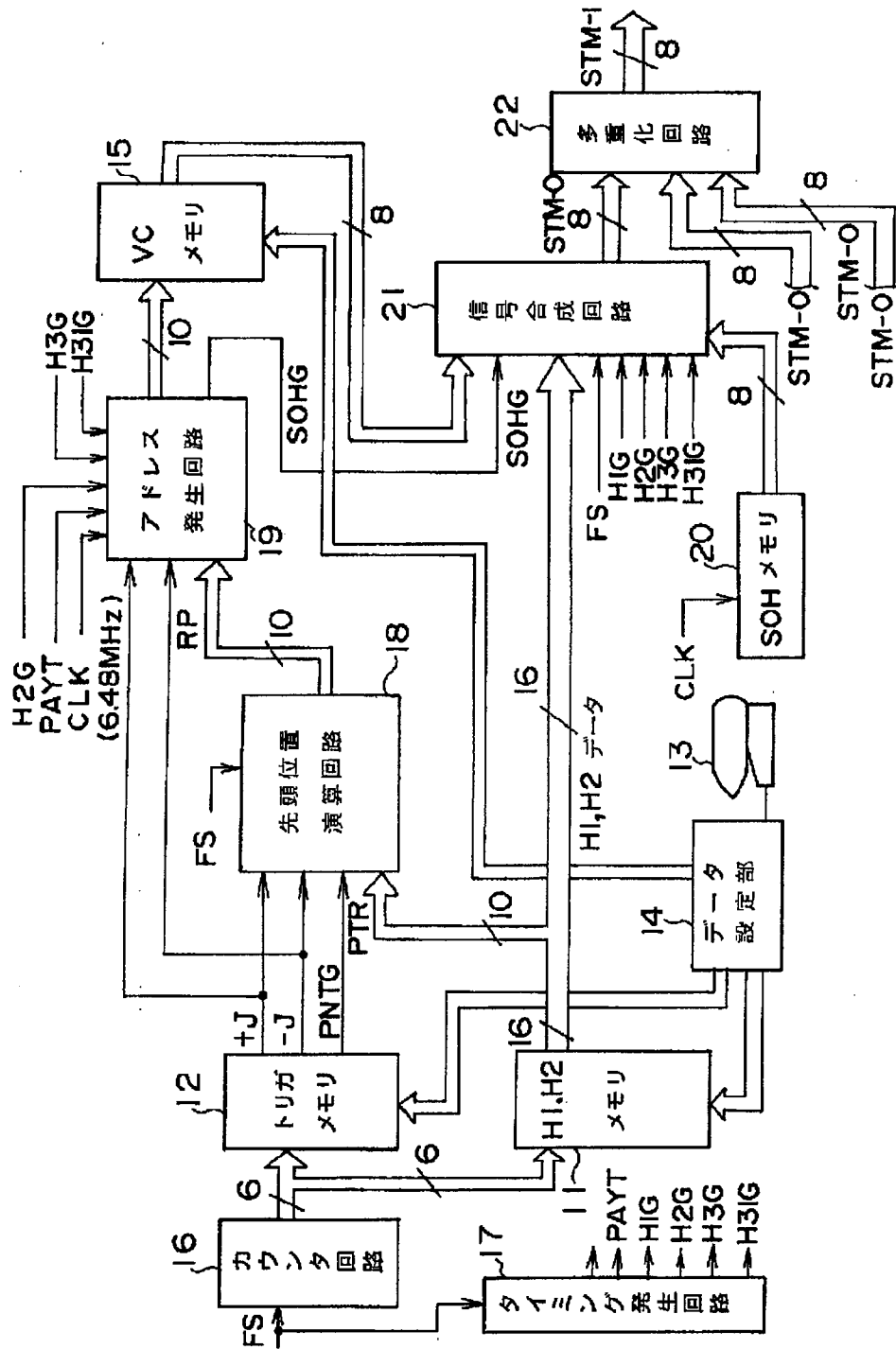
【符号の説明】

11…H1、H2メモリ、12…トリガメモリ、13…マンマシンインタフェース装置、14…データ設定装置、15…VCメモリ、16…カウンタ回路、17…タイミング発生回路、18…先頭位置演算回路、19…アドレス発生回路、20…SOHメモリ、21…信号合成回路、22…多重化回路。

【図6】



【図1】



【図2】

PRGM table

No	Type	PTR	Mask							
			NDF	ID	ID	ID	ID	ID	ID	ID
1	PNTG	10	1001							
2	+PJC			*****	MMMM					
3	PTR	10								
4	PTR	9								
5	PTR	9								
6	PTR	9								
7	-PJC			MMMM	*****					
8	PTR	8								
9	+PJC			*****	*****					
10	PTR	9								
11	PNTG	1	1001							
12	PTR	0								
13	PTR	0								
14	PTR	1								
15	PNTG	2	1001							
16	+PJC			NNNNNNNNNN						

MDF SS 初期値 011010

13a

15

アドレス	入力データ
0	J1 (VCの1番目のデータ)
1	(VCの2番目のデータ)
2	(VCの3番目のデータ)
...	...
782	(VCの783番目のデータ)

(b)

(a)

【図3】

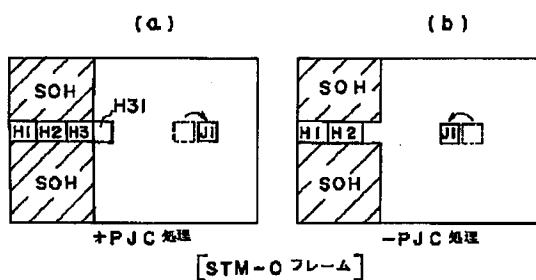
12

正常設定時

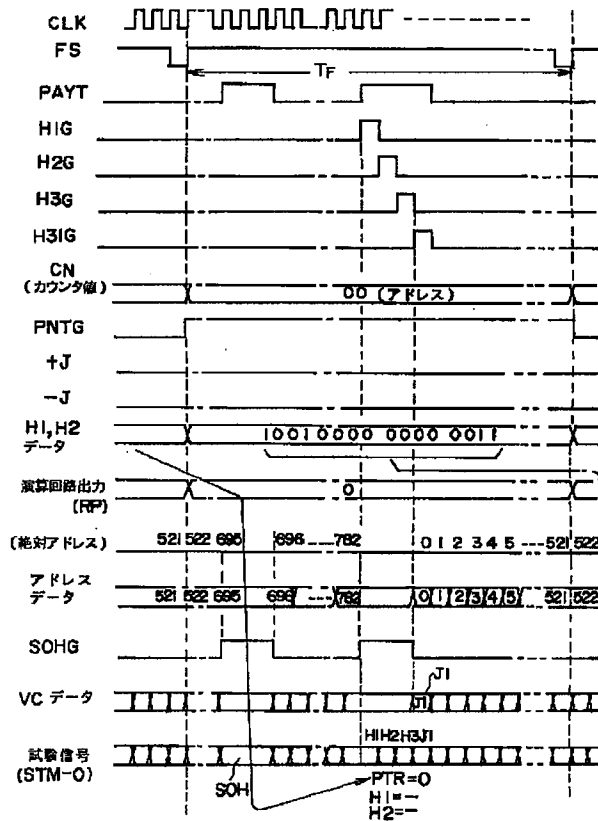
11

アドレス	トリガメモリ		H1 領域								H2 領域								実際のフレーム		J1 の位置
	PNTG+J	-J	1	2	3	4	5	6	7	8	1	2	3	4	5	6	7	8	NDF	PTR	
0	1	0 0	1001	0000	00000001																
1	0	0 0	01100000	00000001	NDF=3 PTR=003 (NDF反転)																003
2	0	0 0	01100000	00000001	NDF=6 PTR=003																003
3	0	1 0	01100010	10101001	NDF=6 PTR=003																003
4	0	0 0	01100000	00000100	NDF=6 PTR=2A9 (1ビット反転)																004
5	0	0 0	01100000	00000100	NDF=6 PTR=004																004
6	0	0 1	01100001	01010001	NDF=6 PTR=004																004
7	0	0 0	01100000	00000011	NDF=6 PTR=151 (Dビット反転)																003
8	0	0 0	01100000	00000011	NDF=6 PTR=003																003

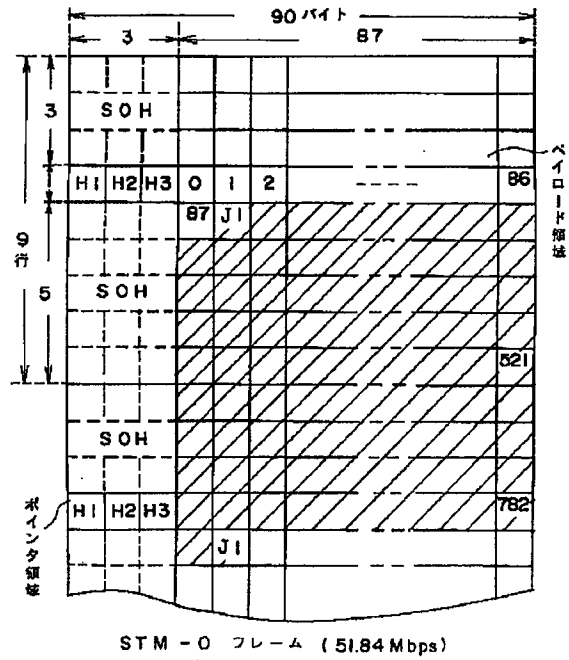
【図13】



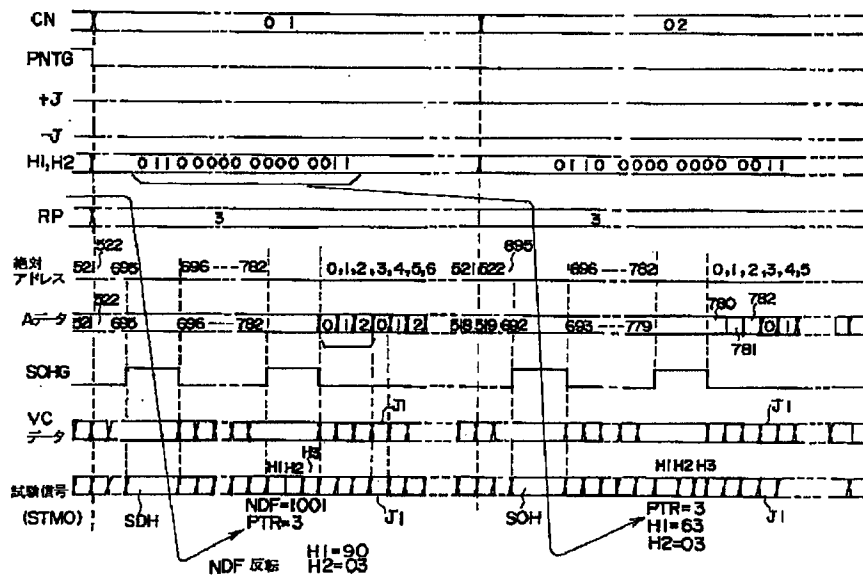
【図4】



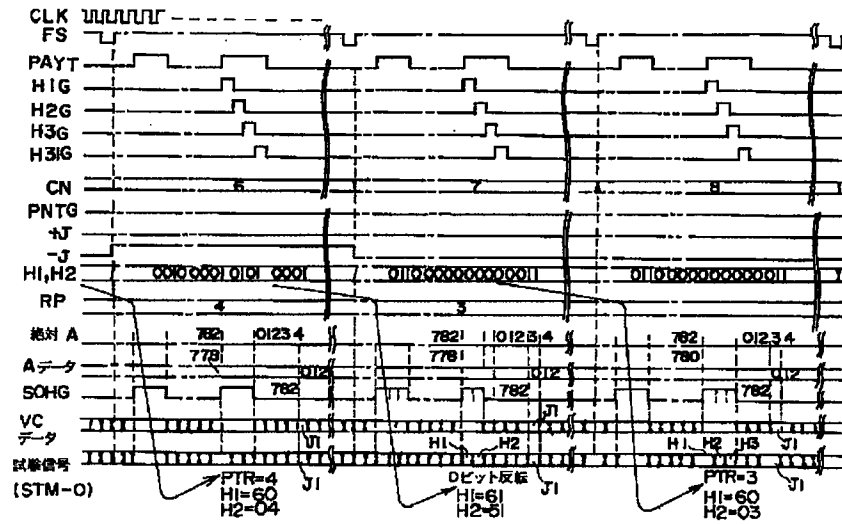
【図11】



【図5】



【図7】

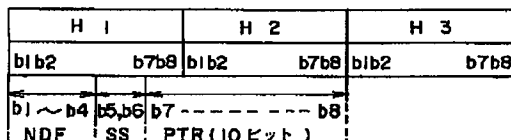


【図8】

PNTG と +J, -Jとの連続推定

アドレス	トリガメモリ	H1 領域								H2 領域								実際のフレーム						
	PNTG+J -J	1	2	3	4	5	6	7	8	ID	1	2	3	4	5	6	7	8	ID	NDF PTR	JT の位置			
0	<table border="1"><tr><td>1</td><td>0</td><td>0</td></tr></table>	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	1					-----	-----
1	0	0																						
1	0 <table border="1"><tr><td>1</td><td>0</td></tr></table>	1	0	0	1	1	0	0	0	1	0		1	0	1	0	1	0				NDF=9 PTR=003 (NDF 反転)	003 ↓	
1	0																							
2	0 0 0	0	1	1	0	0	0	0	0		0	0	0	0	1	0				NDF=6 PTR=2A9 (Iビット反転)	004 ↓			
3	0 0 0	0	1	1	0	0	0	0	0		0	0	0	0	1	0				NDF=6 PTR=004	004			
<hr/>																								
4	<table border="1"><tr><td>1</td><td>0</td><td>0</td></tr></table>	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0				NDF=6 PTR=004	004 ↓	
1	0	0																						
5	0 0 <table border="1"><tr><td>1</td></tr></table>	1	0	1	1	0	0	0	0	1		0	1	0	1	0	1				NDF=9 PTR=000 (NDF 反転)	000 ↓		
1																								
6	0 0 0	0	1	1	0	0	0	1	1		0	0	0	1	1	0				NDF=6 PTR=155 (Dビット反転)	HS の所			
7	0 0 0	0	1	1	0	0	0	0	0		0	0	0	0	0	1				NDF=6 PTR=30E	30E			

【図12】

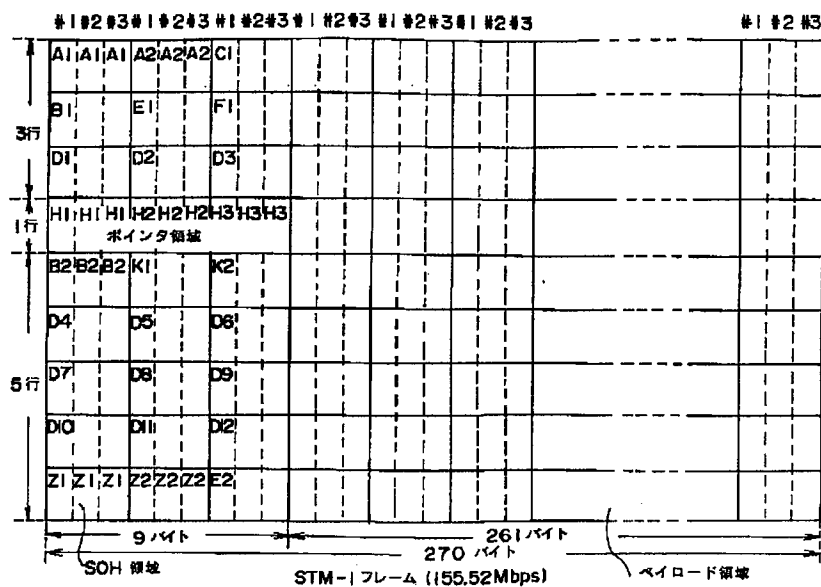


{ [10] CCITT
 [00] SONET
 { [0110] 変更無し ----- 6H
 [1001] 変更有り (PNTG) - 9H

PTR (10ビット) ----- J1 の位置
 b7, b8, b1, b2, b3, b4, b5, b6, b7, b8
 [1 D 1 D 1 D 1 D 1 D]

アドレス	トリガメモリ	H1 領域	H2 領域	実際のフレーム	
	PNTG+J -J	1 2 3 4 5 6 7 8 I D	1 2 3 4 5 6 7 8 I D I D I D I D	NDF PTR	J1 の位置
0	1 0 0	1 0 0 1 0 0 0 0	0 0 0 0 0 0 1 1	-----	----- ↓
1	0 0 0	0 1 1 0 0 0 0 0	0 0 0 0 0 0 1 1	NDF=9 PTR=003 (NDF 反転)	003
2	0 0 0	0 1 1 0 0 0 0 0 (A)	0 0 0 0 1 1 1 1	NDF=6 PTR=003	003
3	0 1 0	0 1 1 0 0 0 1 0	1 0 1 0 1 0 0 1	NDF=6 PTR=00F	003 ↓
4	0 0 0	0 1 1 0 0 0 0 0	0 0 0 0 0 1 0 0	NDF=6 PTR=2A9 (1 ビット反転)	004
5	0 0 0	0 1 1 0 0 0 0 0	0 0 0 0 0 1 0 0	NDF=6 PTR=004	004
6	0 0 1	0 1 1 0 0 0 0 1	0 1 0 1 0 0 0 1	NDF=6 PTR=004	004 ↓
7	0 0 0	0 1 1 0 0 0 1 0 (B)	0 1 0 0 1 0 0 0	NDF=6 PTR=151 (D ビット反転)	003
8	0 0 0	0 1 1 0 0 0 0 0	0 0 0 0 0 0 1 1	NDF=6 PTR=248	003

3 卷 1 册 2 种 3 册



【図14】

